

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-176696

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

H01L 27/04
H01L 21/822
G01R 31/26
G01R 31/28

(21)Application number : 05-322414

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.12.1993

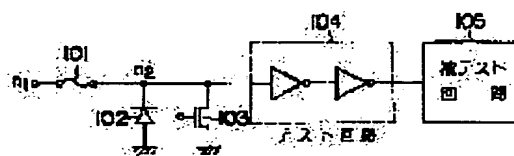
(72)Inventor : SUZUKI YOICHI
SEGAWA MAKOTO
NARUGE YASUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To eliminate the need of bias wiring, at the time of mounting, to test pins or nonconnect pins during use thereof by providing a fuse means, a bias transistor, a bias control means, and a fuse control means.

CONSTITUTION: When a test is conducted, node n1 is set at 'H' at first. Consequently, node n2 and thereby the input terminal of a test circuit goes 'H' and the test circuit enters into test mode. Subsequently, the test function thereof is actuated and a circuit 105 to be tested is checked according to a predetermined sequence. Upon finish of test, a voltage VA is applied to the node n1. Consequently, a high current flows from the earth through a diode 102 and a fuse 101 toward the node n1 and the fuse 101 is blown out. This circuitry eliminates the need of bias wiring, at the time of mounting, to test pins or nonconnect pins during use thereof.



LEGAL STATUS

[Date of request for examination] 22.04.1999
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] abandonment
 [Date of final disposal for application] 27.02.2001
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-176696

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04				
21/822				
G 0 1 R 31/26	G			
			H 0 1 L 27/ 04	T
			G 0 1 R 31/ 28	V
審査請求 未請求 請求項の数5 ○L (全 10 頁) 最終頁に続く				

(21)出願番号 特願平5-322414

(22)出願日 平成5年(1993)12月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 鈴木 洋 一

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 瀬 川 真

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 成 毛 康 雄

神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

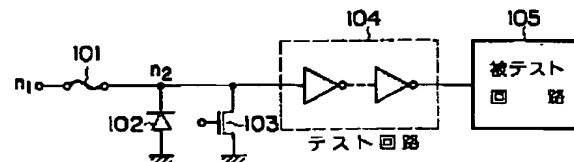
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【構成】 外部入力端に相当する第1のノードn1を第1～第3の電圧状態Vcc, Vss, VAに設定することでテスト回路104の入力端となるノードn2を制御し、第1の電圧状態Vccでテスト回路104を活性化させ、かつ第2、第3の状態Vss, VAではテスト回路104を非活性化状態とする。その非活性化状態にする第3の状態VAでダイオード102がヒューズ101を切断し、その後バイアストラジスタ103によりテスト回路104が非活性化状態に固定される。

【効果】 テストピンやノンコネクタピンの使用時には実装の際にそれらのピンへのバイアス配線を施す必要が無く、またノーマルピンとの兼用においてはノーマルモードでの安定動作を確保し得ることとなる。



【特許請求の範囲】

【請求項 1】 外部入力端となる第 1 ノードとテスト回路の入力端となる第 2 ノードとの間に設けられるテスト入力回路を構成する半導体集積回路であって、

前記第 1 ノードと前記第 2 ノードとが特性的に非接続状態と等価の状態をその切断によって形成するヒューズ手段と、

前記第 2 ノードと第 1 の電源との間に接続され、そのゲートが第 2 の電源の電圧が印加されたバイアストランジスタを有し、前記第 1 ノードの電圧が第 1 の状態のとき前記テスト回路が活性状態となり、かつ前記第 1 ノードが第 2、第 3 の状態のときには前記テスト回路が非活性状態となるように前記第 2 ノードを通じて前記テスト回路のバイアスを制御するバイアス制御手段と、

前記第 1 ノードの電圧が前記第 3 の状態のときに前記ヒューズ手段に対する切断電流を流すヒューズ制御手段とを備えている半導体集積回路。

【請求項 2】 第 1 ノードは、ノンコネクティブピン、テスト専用ピン、ノーマルピンのうちの少なくとも一の外部入力端によって構成されることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 バイアス制御手段は、第 1 ノードとしての複数の外部入力端における電圧状態の組合わせに応じて第 2 ノードの電圧状態を制御する電圧制御手段を含むことを特徴とする請求項 1、2 のうちいずれか 1 項記載の半導体集積回路。

【請求項 4】 ヒューズ制御手段は、第 2 ノードと第 1、第 2 の電源のうちいずれか一方との間に接続されたダイオードを備えることを特徴とする請求項 1～3 に記載の半導体集積回路。

【請求項 5】 ヒューズ制御手段は、第 2 ノードと第 1、第 2 の電源のうちいずれか一方との間にその電流入出力端子が接続され、かつ電流制御端子が前記第 1、第 2 の電源のうちの他方によってバイアスされたバイポーラトランジスタを備えることを特徴とする請求項 1～3 のうちいずれか 1 項記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はテスト回路内蔵の半導体集積回路に関するもので、特に製品出荷時等における内部回路の動作試験の際にテスト回路へ外部から信号を入力するためのテスト入力回路に係わる。

【0002】

【従来の技術】 従来、LSI には一般にその内部回路の動作試験を行うためにテスト回路が内蔵されている。このテスト回路を用いた試験を行う場合は、外部端子からの制御信号によってテスト回路を作動させ、このテスト回路から被テスト回路にテスト信号を供給し、これに対する被テスト回路の応答を確認する。よって、テスト回路を LSI 外部より操作するための信号系統がこの LSI

I には当然に備えられている。

【0003】 図 13 は最も初期に採用されていたテスト入力回路の説明図である。この図に示すように、LSI 1401 の外部ピンの中にテスト専用のピン 1402 を設け、このピン 1402 から被テスト回路に制御信号を供給する。この制御信号の電圧条件によりテストファンクションとノーマルファンクションとを区分する。よって、例えば出荷時に、外部ピンをテストファンクションの電圧条件に設定して被テスト回路を作動させる。その後においては、外部ピンをノーマルファンクションの電圧条件にバイアスした状態でボード上に実装しておくことで、テスト回路を非作動の状態に保持し、内部回路をノーマルファンクションで動作させることができる。

【0004】 しかしながら、LSI の集積度は高くなる一方であり、これに伴って多機能化し、必要とする外部ピン数も増大する傾向にある。このような状況において、ノーマルファンクションモードの際に使用しないテスト専用のピンにもバイアス配線を施さなければならないことが、特に配線ピン数が多いほど実装作業上で余分なものと感じられてきている。

【0005】 また、従来、ノーマルファンクション用の外部ピンをテスト用にも兼用する手法が案出されている。図 14 は、この手法に係る従来のテスト入力回路の構成を示すものである。この図において、1502 はノーマルファンクション入力回路、1503 は被テスト回路であり、ノーマルファンクション入力回路 1502 の入力端にあたるノード n101 が外部ピンに接続される。

【0006】 1501 はテスト入力回路であり、動作電圧設定回路 1504 とバッファ回路 1505 とを備えている。動作電圧設定回路 1504 はノードに対し順方向にダイオード接続された NMOS トランジスタとプルダウン用の NMOS トランジスタとから構成されており、トランジスタの共通接続ノードの電位 n102 はトランジスタの VGS 分だけノードの電位より下がったものとなる。このノードがバッファ回路 1505 の入力端に接続され、このバッファ回路 1505 はノードの電圧条件によって制御されるようになっている。これによって、ノードの電圧条件次第でノーマルファンクション入力回路 1502 とバッファ回路 1505 との選択的に動作させることが可能とされている。

【0007】 図 15 はノーマルファンクション入力回路 1502 とバッファ回路 1505 との動作電圧条件の相違を図解するものである。この図において、 V_{min} はノーマルファンクション動作保障範囲（つまり、ノーマルファンクション入力回路 1502 を動作させる範囲）の最小値、 V_{max} はノーマルファンクション動作保障範囲の最大値、 $\Delta V1$ は $2V_{TH}$ (V_{max}) 以上・デバイス限界以下の電圧範囲、 $\Delta V2$ はテスト動作許容範囲（つまり、バッファ回路 1505 を動作させる範囲）である。図のようにノーマルファンクション入力回路 1502 の

3

動作保障範囲は動作電圧設定回路1504のダイオード接続トランジスタの $2V_{TH}$ 分未満の範囲に収容される。ノーマルファンクション入力回路1502のノーマルファンクション動作保障範囲の最大値 V_{max} と、この $2V_{TH}$ との関係は $V_{max} < 2V_{TH}$ であり、このような関係にある $2V_{GS}$ 以上の電圧でバッファ回路1505を動作させる。よって、テスト時には $2V_{TH}$ より十分に大きく、かつデバイス限界より小さい ΔV_2 の範囲でノードに接続された外部ピンの電圧を印加することにより、ノーマルファンクション入力回路1502は動作させずに、バッファ回路1505だけを動作させ、通常使用時には $V_{min} \sim V_{max}$ の範囲で当該外部ピンに電圧を印加することにより、バッファ回路1505は動作させず、ノーマルファンクション入力回路1502だけ動作させることができる。

【0008】ところが、微細化が進むほど小さくなるため、テストモードとノーマルモードとの間のテスト動作許容範囲を十分大きくとることが難しくなってきた。そのため、外来ノイズが原因でノーマルファンクションでの安定した動作が危ぶまれるようになってきた。そのため、現用の技術で安定した動作を望むには図16に示す方式を採用せざるを得ず、何か良策の出現が切望されることとなった。

【0009】

【発明が解決しようとする課題】このように従来のテスト入力回路は微細化されたLSIにとって、実装上で或いは動作の信頼性を確保する上で不都合な構成となっている。

【0010】本発明は上記従来技術の有する問題点に鑑みてなされたもので、その目的とするところはテストピンやノンコネクティブの使用時には実装の際にそれらのピンへのバイアス配線を施す必要が無く、またノーマルピンとの兼用においては通常モードでの安定動作を確保し得るテスト入力回路を構成する半導体集積回路を提供することにある。

【0011】

【課題を解決するための手段】本発明の半導体集積回路は、外部入力端となる第1ノードとテスト回路の入力端となる第2ノードとの間に設けられるテスト入力回路を構成するものであって、前記第1ノードと前記第2ノードとが特性的に非接続状態と等価の状態をその切断によって形成するヒューズ手段と、前記第2ノードと第1の電源との間に接続され、そのゲートが第2の電源の電圧が印加されたバイアストランジスタを有し、前記第1ノードの電圧が第1の状態のとき前記テスト回路が活性状態となり、かつ前記第1ノードが第2、第3の状態のときには前記テスト回路が非活性状態となるように前記第2ノードを通じて前記テスト回路のバイアスを制御するバイアス制御手段と、前記第1ノードの電圧が前記第3の状態のときに前記ヒューズ手段に対する切断電流を流

4

すヒューズ制御手段とを備えることを特徴とする。

【0012】第1ノードは、ノンコネクティブピン、テスト専用ピン、ノーマルピンのうちの少なくとも一の外部入力端によって構成されることを特徴とする。

【0013】バイアス制御手段は、第1ノードとしての複数の外部入力端における電圧状態の組合わせに応じて第2ノードの電圧状態を制御する電圧制御手段を含む構成とすることができる。

【0014】ヒューズ制御手段は、第2ノードと第1、第2の電源のうちいずれか一方との間に接続されたダイオードを備える構成とすることができる。

【0015】また、ヒューズ制御手段は、第2ノードと第1、第2の電源のうちいずれか一方との間にその電流入出力端子が接続され、かつ電流制御端子が前記第1、第2の電源のうちの他方によってバイアスされたバイポーラトランジスタを備える構成とすることができる。

【0016】

【作用】本発明によれば、外部入力端に相当する第1のノードを第1～第3の電圧状態に制御すると、バイアス手段が第1の電圧状態でテスト回路を活性化させてテストモードとし、かつ第2、第3の状態ではテスト回路を非活性化させ、その非活性状態にする第3の状態ヒューズ制御手段がヒューズを切断し、その後はバイアストランジスタによってテスト回路が非活性状態に固定される。よって、テストピンやノンコネクティブの使用時には実装の際にそれらのピンへのバイアス配線を施す必要が無く、またノーマルピンとの兼用においてはノーマルモードでの安定動作を確保し得ることとなる。

【0017】

【実施例】以下に本発明の実施例について図面を参照しつつ説明する。図1は本発明の一実施例に係るテスト入力回路の構成を示すものである。この図に示すものは、後述するヒューズ切断後はノンコネクティブとなる外部ピンに接続されるもので、ICの定義上はノンコネクティブピンやテストピンがそれらに相当する。この図において、n1はそれらに相当するノードであり、104はこのノードn1の電圧に応じて動作するテスト回路、105はこのテスト回路104によってその動作がチェックされる被テスト回路である。n2はテスト回路104の入力端が接続されたノードである。

【0018】ノードn1とテスト回路104の入力端との間にはヒューズ101が直列に挿入されている。このノードn2と接地との間にはnMOSトランジスタ103のソース・ドレインが接続されており、そのゲートに V_{cc} が印加される。

【0019】ノードn2と接地との間には更に、接地からノードn2に向かう方向が順方向となるようにダイオード102が接続されている。このダイオード102はヒューズ101を溶断するための電流を流すものである。図3はダイオード102の順方向電流特性($I-V$

5

特性)を示すもので、横軸はノードn2の電位(ノードn1でも同電位)、縦軸はダイオード102に流れる電流である。ノードn1に負の電圧VAを印加すると、ダイオード102に順方向の電流が流れる。

【0020】図2は図1に示す回路の素子構造を示すものである。この図において、201はp型シリコン基板であり、この基板201上にはLOCOS構造のフィールド酸化膜202が形成されている。ダイオード102は基板201上におけるフィールド酸化膜202によって囲まれる一つのデバイス領域に形成されている。当該デバイス領域にはn型拡散層203が形成され、この拡散層203がノードn2に接続され、基板201と拡散層203とのpn接合によってダイオード102が形成されている。基板201上の他のデバイス領域はトランジスタ103の形成フィールドとされ、その中心部分上にはゲート電極204が形成され、基板201内のその直下に位置するチャンネル形成領域の両側にはソース、ドレインとなる拡散層205、206が形成されている。拡散層205はノードn2に接続され、拡散層206は接地(つまり、基板)に接続されている。

【0021】以上のように構成された本実施例の動作について説明する。テストを行う際には、まずノードn1を“H”に設定する。すると、ノードn2、すなわち、テスト回路の入力端が“H”となり、このテスト回路T1はテストモードとなり、そのテストファンクションが作動して所定のシーケンスで被テスト回路105の動作チェックを行う。

【0022】テストを終了すると、ノードn1に上記電圧VAを印加する。すると、ダイオード102、ヒューズ101を通して接地からノードn1に向けて大電流を流し、ヒューズ101を溶断することとなる。

【0023】このようにノードn1、n2間にヒューズ101を挿入し、ノードn2には、接地からノードn2へ向かう方向が順方向となるようにダイオード102を接続するとともに、これに並列にトランジスタ103を接続し、テスト後、ノードn1の電位を制御することでダイオード102に順方向電流を流し、この電流でヒューズ101を溶断する。このヒューズ101溶断後においてはノードn2はトランジスタ103によって接地電位にバイアスされテスト回路4は非活性化される。これにより、本実施例のようにテストピンやノンコネクティブの使用時には実装の際にそれらのピンへのバイアス配線を施す必要が無い。

【0024】図4は本発明の第2実施例に係るテスト入力回路の構成を示すものである。この図に示すものは図1に示すダイオード102の代えてバイポーラトランジスタ303を設けたものに相当する。すなわち、外部入力ピンとなるノードn11と被テスト回路306をテストするテスト回路305の入力端となるノードn12との間にはヒューズ301が接続され、トランジスタ303の

6

コレクタはノードn12に接続され、エミッタと、ベースは接地されている。ノードn12と接地との間には、ゲートにVccが印加された高抵抗素子としてのnMOSトランジスタ304が接続されている。

【0025】以上のように構成された本実施例の動作について説明する。テストを行う際には、まずノードn11を“H”に設定する。すると、ノードn12、すなわち、テスト回路305の入力端が“H”となり、このテスト回路305はテストモードとなり、そのテストファンクションが作動して所定のシーケンスで被テスト回路306の動作チェックを行う。

【0026】テストを終了すると、ノードn11に絶対値が上記電圧VAを印加する。すると、ヒューズ301及びトランジスタ303を通してノードn11から接地へ向けて大電流が流れ、ヒューズ301を溶断することとなる。ヒューズ301の溶断後もそのトランジスタ304によるバイアスによって同様に被テストモードとされる。

【0027】以上のように動作することから本実施例によっても上記実施例と同等の作用効果を発揮することとなる。

【0028】図5は本発明の第3実施例に係るテスト入力回路の構成を示すものである。この図に示すものは、第1実施例のダイオード102に対応するダイオード402が同じくノードn2に相当するノードn22から電源Vccへ向かう方向が順方向となるように接続されている。他は第1実施例のものと同様の構成を有している。401はヒューズ、403はnMOSからなるバイアストラジスタ、404はテスト回路、405は被テスト回路である。図6はダイオード402の順方向電流特性(I-V特性)であって、ダイオード402は入力端子n21に電源電圧Vccより閾値分の電圧VFを加えた電圧Vcc+VFを印加することでヒューズ401を溶断可能な電流を流すことができる。

【0029】以上のような構成を有することから、テストファンクション機能時は上記実施例と同様に動作する。そして、ヒューズ401の溶断はノードn21にVcc+VFを印加し、ダイオード402に順方向電流を流すことにより行われ、ヒューズ401が切断された後はトランジスタ403によりテスト回路404の入力端が“L”にバイアスされて非テストモードになる。

【0030】図7は本発明の第4実施例に係るテスト入力回路の構成を示すものである。この図に示す回路は、上記実施例におけるnMOSトランジスタ103、304、403に代えてpMOSトランジスタ503が設けられており、そのソース・ドレインは電源電圧Vccとテスト回路504の入力端となるノードn32との間に接続され、ゲートは接地されている。その他の構成は上記第1実施例のものと同様であって、501はヒューズ、502はヒューズ溶断電流を流すダイオード、504はテ

7

スト回路、505は被テスト回路である。本実施例のテスト回路504はアクティブ“L”のものとされている。

【0031】よって、テストの際にはノードn31を“L”にする。するとテスト回路504の入力端が“L”にバイアスされてテストファンクションが起動する。その終了後、ノードn31に電圧VAを印加してヒューズ501を溶断することとなる。このように動作することから、本実施例によっても上記実施例と同等の作用効果を発揮することができる。

【0032】図8は本発明の第5実施例に係るテスト入力回路の構成を示すもので、上記実施例とは異なり、ノーマルファンクション回路系へ繋がったノーマルピンに接続されるテスト入力回路として構成されているものである。この図において、ノードN41がそのノーマルピンに相当するもので、このノードn41には入力保護回路となるトランジスタ601が接続されると共に、通常の入力回路に相当するインバータゲート602が接続されている。本実施例のテスト入力回路は、ノードn41においてそのインバータゲート602と並列的に接続されており、ヒューズ603とダイオード604とテスト回路バイアス用のトランジスタ605とを有する。ヒューズ603はノードn41、n42間に挿入され、ダイオード604は接地からノードn42へ向かう方向が順方向となるように接続され、トランジスタ605のソース・ドレインは接地-ノードn42間に接続されている。テスト回路606はノードN42と共通のモード制御信号入力端にインバータゲート608を有し、その入力端にアウトプットイネーブル信号/OE（“/”は否定論理を示す。）が入力されるNANDゲート611の他方の入力端にそのインバータゲート608の出力端が接続され、このNANDゲート611の出力端には2段に接続された前段のインバータゲート609の入力端が接続され、その後段のインバータゲート610の出力端からテスト信号が出力される。これにより、このテスト回路ロジック612はトランジスタ605によるバイアスレベルとアウトプットコントロール信号/OEとのロジックによりテストモードとノーマルモードとの切替えを行うようになっている。

【0033】よって、テストを行う際にはノードn41を“H”、信号/OEを“H”に設定する。これにより、テスト回路606の入力端であるノードn42が“H”となり、同NANDゲート611が開くため、被テスト回路607の動作を判定可能となる。

【0034】テスト終了後は、ノードn41に電圧VAを印加し、ダイオード604に順方向電流を流してヒューズ603を溶断する。すると、当該テスト入力回路はノードn41であるノーマルピンより切離され、かつテスト回路606の入力端は“L”にバイアスされて非テストモードに固定されることとなる。よって、ノーマルピン

8

との兼用においてもノーマルモードでの安定動作を確保することができる。

【0035】図9は本発明の第6の実施例に係るテスト入力回路の回路構成を示すものである。この図に示すものは第5の実施例と同様にノーマルピンに接続される回路例を示しており、この図におけるノードn51がそのノーマルピンに相当するものである。このノードn51には回路をサージから保護する入力保護回路としてのダイオード801が接続されるとともに、ノーマル入力回路に相当するインバータゲート802が接続されている。本実施例のテスト入力回路は、ノードn51においてそのインバータゲート802と並列的に接続されており、ヒューズ803とダイオード804とテスト回路バイアス用のトランジスタ805とを有する。ヒューズ803はノードn51、n52間に挿入され、ダイオード804はノードn52から電源電位へ向かう方向が順方向となるように接続され、トランジスタ805のソース・ドレインは電源-ノードn52間に接続されている。テスト回路806はNORゲートの入力端がノードn52に接続され、同NORゲートの他方の入力端には信号OEが入力され、同NORゲートの出力端にはインバータゲートが接続され、その出力端が図外の被テスト回路に接続されており、信号OEを“L”に設定することで、テストファンクション動作を可能にする。

【0036】図10は本実施例回路の素子構造を示すものである。この図において、901はn型シリコン基板であり、この基板901の表面部にはp型ウェル902とn型ウェル903とが隣接されて形成されるとともに、フィールド酸化膜904が形成されている。p型ウェル902の表面部はフィールド酸化膜904により2つの素子領域に分断され、その一方にはp+型拡散層905が形成され、他方にはn+型拡散層906が形成されている。上記ダイオード801はp+型拡散層905及びp型ウェル902からなるp型部分とn+型拡散層906からなるn型部分との接合により形成されている。

【0037】n型ウェル903の表面部はフィールド酸化膜904によって3つの素子領域に分断されている。そのうち2つの素子領域を使ってダイオード804が形成されている。すなわち、その一方の素子領域にはp+型拡散層907が形成され、他方の素子領域にはn+型拡散層908が形成されており、n型ウェル903及びn+型拡散層908からなるn型部分とp+型拡散層907との接合によりそのダイオード804が形成されているものである。

【0038】n型ウェル903の、もう一つの素子領域にはトランジスタ805が形成されている。すなわち、その素子領域の中心部上にはゲート電極911が形成され、その直下のチャネル形成領域の各側にはソース領域またはドレイン領域となるp+型拡散層909、910

9

が形成されているものである。

【0039】以上のような構成を有する回路において、テストを行う際にはノードn51を“H”、信号OEを“L”に設定する。テスト終了後は、ノードn51に電圧 $V_{cc} + V_P$ を印加し、ダイオード804に順方向電流を流してヒューズ803を溶断する。すると、当該テスト入力回路はノードn51であるノーマルピンより切離され、かつテスト回路806の入力端は“H”にバイアスされて非テストモードに固定されることとなる。よって、ノーマルピンとの兼用においてもノーマルモードでの安定動作を確保することができる。

【0040】図11は本発明の第7実施例に係るテスト入力回路の構成を示すものである。この図の、インバータゲート1201、1202とNORゲート1203とNANDゲート1204において、インバータゲート1201はノードn61への入力信号を反転させてNORゲート1203及びNANDゲート1204の一入力端に供給する。インバータゲート1202はノードn62への入力信号を反転させてNORゲート1203の他方の入力端へ供給する。NANDゲート1204の他方の入力端にはノードn62への入力信号が供給される。NORゲート1203の出力信号はトランジスタ1003のゲートに供給され、NANDゲート1204の出力信号はトランジスタ1004のゲートに供給されている。テスト回路1006はインバータゲート1205とテスト回路ロジック1206とから構成されており、テスト回路1006はその入力端がn63“L”のときノーマルファンクションのモード、同入力端が“H”のとき特殊テストモードとなる。

【0041】このような構成を有する回路によりノーマルファンクションのテストを行う場合にはノードn61、n62を“H”、特殊テストを行う場合にはノードn61を“L”、ノードn62を“H”、ヒューズ1002を切断する場合にはノードn62を“L”にそれぞれ設定する。そして、これらのモードを例えば図11(b)に示すようなシーケンスで設定することとなる。なお、この図中、“-”は“H”の“L”どちらでもよい。(1)はノーマルファンクションテストモードであって、前述したようにノードn61、n62を“H”に設定する。すると、NORゲート1203及びNANDゲート1204の一方の入力端へインバータゲート1201によって“L”が入力される。これにより、NANDゲートの出力は“H”に決まり、トランジスタ1003はオフとなる。NORゲート1203の他方の入力端にはインバータゲート1202によって“L”が入力されるため、このNORゲート1203の出力も“H”となり、トランジスタ1004はオンとなる。トランジスタ1003がオフ、トランジスタ1004がオンであるため、ノードn63は“L”となり、ノーマルファンクションテストモードとなる。

10

【0042】このノーマルファンクションテストの終了後、(2)の特殊テストモードとなる。この場合には前述したように、ノードn61を“L”、ノードn62を“H”とする。すると、NORゲート1203の一方の入力端にはインバータゲート1201により“H”が入力されるため、その出力は“L”に決まる。よって、トランジスタ1003はオンとなる。NANDゲート1204の一方の入力端にはインバータゲート1201により“L”が入力されるため、その出力は“H”に決まり、トランジスタ1004はオフとなる。したがって、ノードn63は“H”になり、特殊テストモードになる。

【0043】この特殊テスト終了後、(3)のヒューズカットモードに移る。この際には、ノードn62を“L”に設定する。これにより、NORゲート1203にはインバータゲート1202により“H”が入力されて、その出力は“L”になり、トランジスタ1003はオンとなる。また、NANDゲート1204の一方の入力端には“L”が入力されるため、その出力は“H”となり、トランジスタ1004はオンとなる。したがって、電位 V_{cc} から電位 V_{ss} に向けて貫通電流が流れ、その電流によってヒューズ1002は切断されることとなる。

【0044】これによりテスト入力回路はノーマルピンより切断されることと等価であるため、本実施例によっても上記実施例と同等の作用効果を発揮することができることとなる。

【0045】図12は本発明の第8実施例に係るテスト入力回路の構成を示すものである。この図に示すものは本発明テスト入力回路をテストピンの無いSRAMに適用したもので、外部入力ピンとしてはライトイネーブル信号(/WE)、アウトプットイネーブル信号(/OE)、クロックイネーブル信号(/CE)のピンを使用する。図12において、ノードn91は/WEのピン、ノードn92は/OEのピン、ノードn93は/CEのピンに相当する。ここでは、これらのノードn91~n93の信号制御によって4種のモード、すなわち、ノーマルライトテストモード、ノーマルリードテストモード、特殊テストモード、ヒューズ切断モードを切替えるようになっており、ノードn91、n92はノードn93が“L”の状態では3種のテストモードの切替えを行うようになっており、ノードn93はこれを“H”にすることで切断モードを設定するものとされている。

【0046】NORゲート1301、1306、インバータゲート1302~1305及びNANDゲート1307はそれらノードn91~n93の信号によってモード設定を制御するバッファである。NORゲート1301の一入力端にはノードn91からの信号が入力されるとともに、他方の入力端にはノードn92からの信号がインバータゲート1302、1303を介して入力されている。NORゲート1306の一入力端にはNORゲート1301の出力信号が入力され、他方の入力端にはノードn

93からの信号がインバータゲート1304、1305を介して入力されている。NANDゲート1307の一端にはNORゲート1301からの信号が入力され、他方の入力端にはノードn93からの信号がインバータゲート1304を介して入力されている。

【0047】電源電位と接地電位との間にはヒューズ1308とpMOSトランジスタ1309とnMOSトランジスタ1310との直列回路が設けられ、NORゲート1306の出力信号はトランジスタ1309のゲートに接続され、NANDゲート1307の出力信号はトランジスタ1310のゲートに接続されている。テスト回路1311はトランジスタ1309、1310の共通接続点であるノードn94にその入力端が接続され、このノードn94と接地との間にはnもトランジスタ1312が接続されている。テスト回路1311はインバータゲート1313とテスト回路ロジック1314を含み、テスト回路1311は入力端(n94)が“L”のときノーマルファンクション動作テストモード、入力信号が“L”のとき特殊テストモードとなる。

【0048】以上のような構成を有する回路においてノーマルライトテストを行う場合にはノードn91を“L”、n92を“H”、n93を“L”に設定し、ノーマルリードテストを行う場合にはノードn91を“H”、n92を“L”、n93を“L”に設定し、特殊テストを行う場合にはノードn91~n93をすべて“L”に設定し、ヒューズ1308の熔断を行う場合にはノードn93を“H”に設定する。そのシーケンスは例えば図12(b)に示すようなものとなる。(1)はノーマルライトテストであって、この際には前述したようにノードn91、n93を“L”、ノードn92を“H”にする。すると、ノードn92からの信号によりNORゲート1301の出力は“L”となり、このNORゲート1301の出力信号とノードn93からの信号とによりNORゲート1306の出力信号は“H”となるため、トランジスタ1309はオフとなる。また、NORゲート1301の出力信号によってANDゲート1307の出力は“H”に決定され、トランジスタ1310はオンとなる。したがって、ノードn94は“L”となり、ノーマルファンクション動作テストモードとなる。そして、ノードn91はライトイネーブル信号であって、これを“L”に設定しているため被テスト回路は書き込みモードとなっており、ノーマルライトのテストを行うモードとなる。

【0049】次に(2)はノーマルリードテストモードであって、前述したようにノードn93は“L”のまま、ノードn91、n92のレベルを切替える。すると、ノードn91からの信号によりNORゲート1301の出力は“L”で変わらず、トランジスタ1309はオフとなる。また、ANDゲート1307の出力も“H”に決定されてトランジスタ1310はオンとなる。したがって、ノードn94は“L”となり、ノーマルファンクシ

ン動作テストモードとなる。そして、ノードn92は読出し許可信号であって、これを“L”に設定しているため被テスト回路は読出しモードとなっており、ノーマルリードのテストを行うモードとなる。

【0050】このノーマルファンクションテストの終了後、(3)の特殊テストモードとなる。この場合、前述したようにノードn91~n93を全て“L”にする。そのため、NORゲート1301の出力信号は“H”になり、NORゲート1306の出力信号は“L”となるためトランジスタ1309はオンとなる。また、ANDゲート1307はインバータゲート1304及びNORゲート1301の出力信号により“L”となり、トランジスタ1310はオフとなる。そのため、ノードn94は“H”になり、特殊テストモードとなる。

【0051】この特殊テスト終了後、(4)のヒューズカットモードに移る。この際には、ノードn93を“H”に設定する。これにより、NORゲート1306の出力信号は“L”になってトランジスタ1309がオンとなり、NANDゲート1307の出力信号は“H”となってトランジスタ1310がオンとなるため、電位VccからVssに向かって貫通電流が流れ、その電流によってヒューズ1308は切断されることとなる。

【0052】これによりテスト入力回路はノーマルピンより切断されることと等価であるため、本実施例によっても上記実施例と同等の作用効果を発揮することができることとなる。

【0053】

【発明の効果】以上説明したように本発明によれば、外部入力端に相当する第1のノードを第1~第3の電圧状態に制御すると、バイアス手段が第1の電圧状態でテスト回路を活性化させてテストモードとし、かつ第2、第3の状態ではテスト回路を非活性化させ、その非活性化状態にする第3の状態ヒューズ制御手段がヒューズを切断し、その後はバイアストラジスタによってテスト回路が非活性化状態に固定される。よって、テストピンやノンコネクティブの使用時には実装の際にそれらのピンへのバイアス配線を施す必要が無く、またノーマルピンとの兼用においてはノーマルモードでの安定動作を確保し得ることとなる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るテスト入力回路の構成を示す回路図。

【図2】図1に示すテスト入力回路の素子構造を示す断面図。

【図3】図1に示すヒューズ切断制御用ダイオードのブレークダウン特性を示すグラフ。

【図4】本発明の第2実施例に係るテスト入力回路の構成を示す回路図。

【図5】本発明の第3実施例に係るテスト入力回路の構成を示す回路図。

13

【図 6】図 5 に示すヒューズ切断制御用ダイオードのブレイクダウン特性を示すグラフ。

【図 7】本発明の第 4 実施例に係るテスト入力回路の構成を示す回路図。

【図 8】本発明の第 5 実施例に係るテスト入力回路の構成を示す回路図。

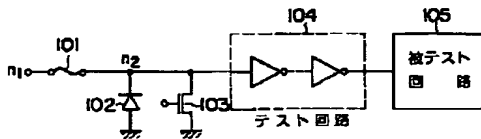
【図 9】本発明の第 6 実施例に係るテスト入力回路の構成を示す回路図。

【図 10】図 9 に示すテスト入力回路の素子構造を示す断面図。

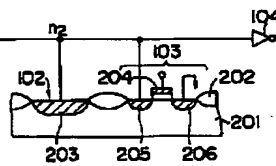
【図 11】本発明の第 8 実施例に係るテスト入力回路の構成をそのテストロジック例と共に示す回路図。

【図 12】本発明の第 9 実施例に係るテスト入力回路の構成をそのテストロジック例と共に示す回路図。

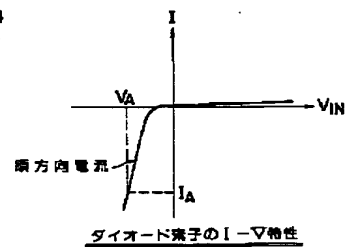
【図 1】



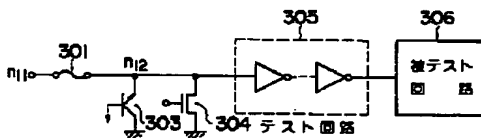
【図 2】



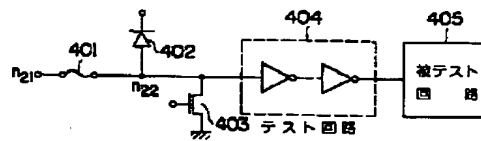
【図 3】



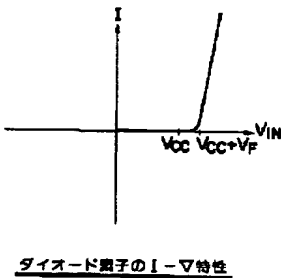
【図 4】



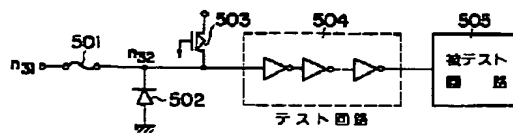
【図 5】



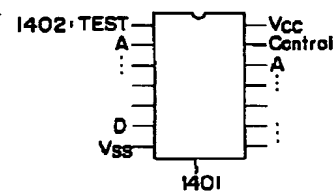
【図 6】



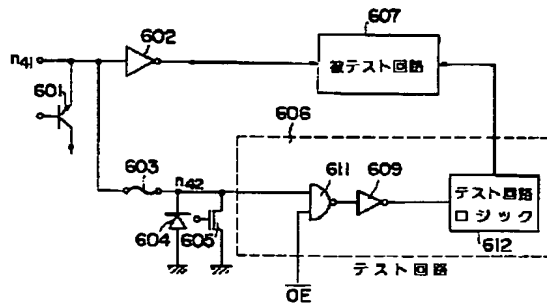
【図 7】



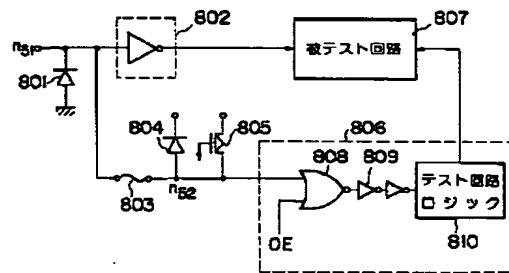
【図 13】



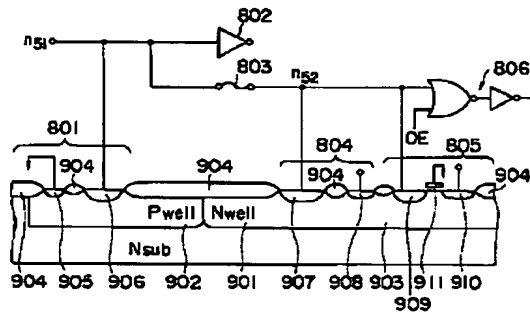
【図8】



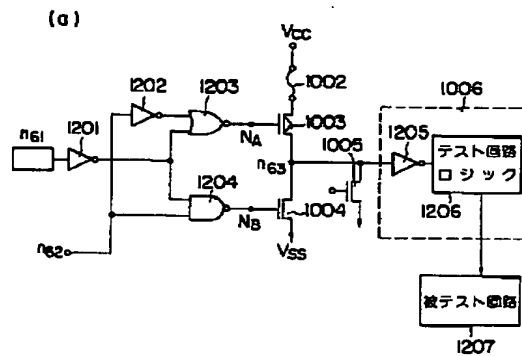
【図9】



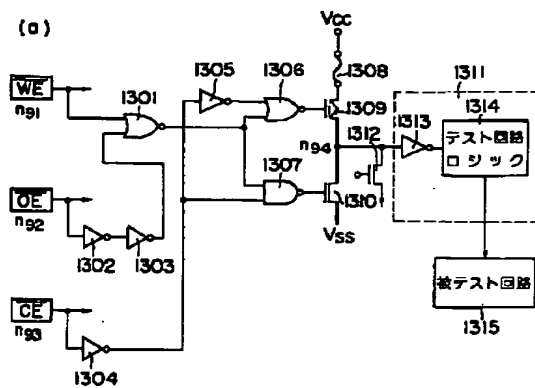
【図10】



【図11】



【図12】



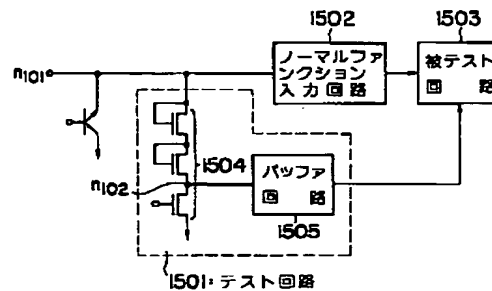
(b)

【テストロジック】

n 6 1	H	L	-
n 6 2	H	H	L
n 6 3	L	H	-
モード	ノーマルファンク ションテスト	特殊テスト	ヒューズ切断

時間 (t) → (1) (2) (3)

【図14】



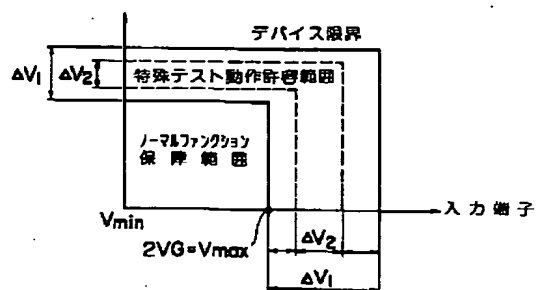
(b)

【テストロジック】

n 9 1	L	H	L	-
n 9 2	H	L	L	-
n 9 3	L	L	L	H
n 9 4	L	L	H	-
モード	ノーマルファンク ションテスト	ノーマルファンク ションテスト	特殊テスト	ヒューズ切断

時間 (t) → (1) (2) (3) (4)

【図 15】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28